

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-052267

(43)Date of publication of application : 06.03.1991

(51)Int.Cl.

H01L 29/788
H01L 21/3205
H01L 27/115
H01L 29/792

(21)Application number : 01-187706

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.07.1989

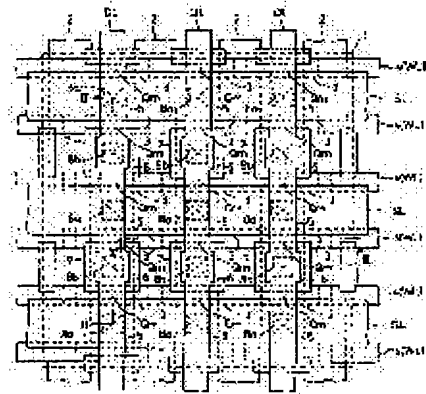
(72)Inventor : NISHIMOTO TOSHIAKI
KOMORI KAZUHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To improve electric characteristic of an EEPROM by continuously extending a field insulating film for isolating memory cells in the direction perpendicular to a word line.

CONSTITUTION: A field insulating film 2 for isolating memory cells Q_m is extended continuously in the direction perpendicular to a word line WL. Accordingly, the superposing area of a floating gate 3 and a source region become equal for all cells. Thus, the coupling capacity formed between the gate 3 and the source region become equal for all cells Q_m , and the floating gate voltage become equal for all cells Q_m . Thus, the irregularity in data erasing speed is eliminated and electric characteristic of EEPROM are improved.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-52267

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)3月6日

H 01 L 29/788
21/3205
27/115
29/792

7514-5F H 01 L 29/78 3 7 1
6810-5F 21/88 Z
8624-5F 27/10 4 3 4

審査請求 未請求 請求項の数 13 (全28頁)

⑮ 発明の名称 半導体集積回路装置およびその製造方法

⑯ 特 願 平1-187706

⑰ 出 願 平1(1989)7月20日

⑱ 発 明 者 西 本 敏 明 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

⑲ 発 明 者 小 森 和 宏 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 筒井 大和

明 細 書

1. 発明の名称

半導体集積回路装置およびその製造方法

2. 特許請求の範囲

1. フローティングゲートおよびコントロールゲートからなる二層ゲート電極構造のMISFETで構成され、ソース領域に高電圧を印加してデータの消去を行う不揮発性メモリセルを有する半導体集積回路装置であって、前記メモリセルを分離するフィールド絶縁膜をワード線と直交する方向に連続的に延在させ、前記フィールド絶縁膜およびワード線で囲まれたソース領域に共通ソース線を接続したことを特徴とする半導体集積回路装置。

2. 共通ソース線の一部がワード線上を覆っていることを特徴とする請求項1記載の半導体集積回路装置。

3. メモリセルを構成するMISFETのソース領域は、高不純物濃度の半導体領域および低不純物濃度の半導体領域からなる二重拡散構造を

有していることを特徴とする請求項1記載の半導体集積回路装置。

4. メモリセルを構成するMISFETのドレイン領域の下層に前記ドレイン領域と異なる導電形の半導体領域を設けたことを特徴とする請求項1記載の半導体集積回路装置。

5. メモリセルを構成するMISFETのドレイン領域に共通ソース線用の導電膜で構成された導電層を接続し、前記導電層にデータ線を接続したことを特徴とする請求項1記載の半導体集積回路装置。

6. 導電層の一部がワード線上を覆っていることを特徴とする請求項5記載の半導体集積回路装置。

7. フローティングゲートおよびコントロールゲートからなる二層ゲート電極に対して共通ソース線を自己整合的に形成することを特徴とする請求項1記載の半導体集積回路装置の製造方法。

8. フローティングゲートおよびコントロールゲートからなる二層ゲート電極の側壁にサイドウ

特開平3-52267 (2)

- ォールスペースを形成した後、前記二層電極およびサイドウォールスペースに対して共通ソース線を自己整合的に形成することを特徴とする請求項7記載の半導体集積回路装置の製造方法。
9. フローティングゲートおよびコントロールゲートからなる二層ゲート電極構造のMISFETで構成された不揮発性メモリセルを有する半導体集積回路装置であって、前記メモリセルを分離するフィールド絶縁膜のソース領域側の側壁は、前記二層ゲート電極の側壁と同一面をなしていることを特徴とする半導体集積回路装置。
10. メモリセルを構成するMISFETのソース領域は、高不純物濃度の半導体領域および低不純物濃度の半導体領域からなる二重拡散構造を有していることを特徴とする請求項9記載の半導体集積回路装置。
11. メモリセルを構成するMISFETのドレイン領域の下側に前記ドレイン領域と異なる導電形の半導体領域を設けたことを特徴とする請求項9記載の半導体集積回路装置。
12. ワード線と直交する方向に延在するフィールド絶縁膜上にフローティングゲート用の導電膜およびコントロールゲート用の導電膜を順次堆積し、前記フローティングゲート用の導電膜およびコントロールゲート用の導電膜を重ね切りでエッチングしてフローティングゲートおよびコントロールゲートからなる二層ゲート電極を同時に形成した後、ソース領域を形成すべき領域の前記フィールド絶縁膜をエッチングで除去することを特徴とする請求項9記載の半導体集積回路装置の製造方法。
13. フローティングゲート用の導電膜およびコントロールゲート用の導電膜を重ね切りでエッチングする際に用いるホットレジストマスク上に第二のホットレジストマスクを形成してフィールド絶縁膜をエッチングすることを特徴とする請求項12記載の半導体集積回路装置の製造方法。
3. 発明の詳細な説明
〔産業上の利用分野〕

本発明は、半導体集積回路装置およびその製造

方法に関し、特に電気的にデータの消去および書き込みが可能なる不揮発性メモリ(Electrically Erasable Programmable Read Only Memory ; EEPROM)に適用して有効な技術に関するものである。さらに特定すると、本発明は高密度記憶装置への適用に適した複数の単一トランジスタセルで構成されたEEPROMに関する。

〔従来の技術〕

EEPROMは、高集積、高密度化が可能であるため、そのメモリセルを単一のMISFETで構成したEEPROMが主流となっている。このEEPROMのメモリセルを構成するMISFETは、フローティングゲートおよびコントロールゲートからなる二層ゲート電極構造を有している。このEEPROMにおいて、書き込みは、例えば、ソース領域を接地し、ドレイン領域に4～6V、そしてコントロールゲートに10～12Vの振幅で0.5～5ミリ秒パルスをかける。そして、ドレイン領域の近傍のピンチオフ領域で発生するホットエレクトロンをフローティングゲートに取り込

むことにより、しきい値は3.5～5.5Vになる。消去は、例えば、ドレイン領域をフローティング、コントロールゲートを接地として、ソース領域に10～13Vの振幅で0.5～5ミリ秒パルスを印加すると、ファウラー・ノルドハイムトンネル効果によりフローティングゲート内の電子はソース領域に引き抜かれ、しきい値は1V程度になる。

第27図は、EEPROMのメモリセルアレイを示している。半導体基板30の活性領域には、ソース領域31とドレイン領域32とがメモリセルQnごとに向かい合うように配置されている。ドレイン領域32は、島状に配置されたフィールド絶縁膜(LOCOS膜)33を介してメモリセルQnごとに分離され、各ドレイン領域32は、コンタクトホール34を通じてデータ線DLに接続されている。データ線DLは例えばY方向に延在し、それと直交するX方向には、ワード線WLが延在している。

ソース領域31およびドレイン領域32の間には、フローティングゲート35およびコントロー

特開平3-52267 (3)

ルゲート36からなる二番ゲート電極が設けられている。ワード線WLを兼ねるコントロールゲート36は、フローティングゲート35に重なるように配置されている。各メモリセルQ_nは、ワード線WLとデータ線DLとが交差する領域に設けられている。一本のワード線WLに接続された全てのメモリセルQ_nは、それらのソース領域31が共有されている。このように、ソース領域をX方向に連続して形成するために、フィールド絶縁膜33はY方向に断続的に形成されている。

また、データ線DLの延在する方向に沿って並んだ二つのメモリセルQ_nは、それらのドレイン領域32が共有されており、このドレイン領域32を中心として互いに対象となるように配置されている。

このようなEEPROMについては、例えば特開昭61-127179号公報に記載されている。
〔発明が解決しようとする課題〕

本発明者は、上記した従来のEEPROMについて検討した結果、下記のような問題を見出した。

図に形成されるカップリング容量C₁が偶数番目のワード線WLと奇数番目のワード線WLとで一本置きに異なってくる。特にソース領域に高電圧を印加してデータの消去を電気的に一括して行うフラッシュ(Flash)形のEEPROMの場合は、ソース領域とフローティングゲートとの重なった部分の狭いトンネル領域を流れるファウラー・ノルトハイム(Fowler-Nordheim)電流を利用してデータの消去を行うので、カップリング容量C₁の小さいメモリセル(Q_{n1}, Q_{n3})は、そのフローティングゲート電圧V_fが相対的に高くなるのに対し、カップリング容量C₁の大きいメモリセル(Q_{n2}, Q_{n4})は、そのフローティングゲート電圧V_fが相対的に低くなるので、偶数番目のワード線WLに接続されたメモリセルQ_nと奇数番目のワード線WLに接続されたメモリセルQ_nとでデータの消去速度がばらついてしまうという問題がある。

他方、上記したカップリング容量C₁のばらつきを解消するために、フローティングゲートとコ

ンترلゲート(ワード線WL)とを重ね切りで形成する際のフィールド絶縁膜に対するマスクの合わせずれや回転ずれの余裕度を大きくしようとすると、前記第27図に示すY方向に断続的に形成されたフィールド絶縁膜33とフローティングゲート35との間の距離Dを上記マスク合わせずれ量より大きくしなければならない。そのため、メモリセルQ_nのサイズが大きくなってしまいうので、EEPROMの高集積化が妨げられるという問題がある。

次に、EEPROMの製造工程では、フローティングゲートおよびコントロールゲートを形成する際、まず第29図に示すように、基板30上に堆積したフローティングゲート用の第一層ポリシリコン膜37を図のY方向には連続的でX方向には断続的にフィールド絶縁膜33の中心線に沿ってエッチングする。続いて、基板上にコントロールゲート用の第二層ポリシリコン膜を堆積し、第一層ポリシリコン膜および第二層ポリシリコン膜を重ね切りでエッチングして、第30図に示すよ

特開平3-52267 (4)

うに、フローティングゲート35およびコントロールゲート36(ワード線WL)を一枚のマスクで形成した後、フィールド絶縁膜およびコントロールゲートにセルフアライメントで活性領域に不純物イオンを打込んでソース領域31およびドレイン領域32を形成する。

ところが、上記したゲート加工プロセスでは、フィールド絶縁膜の中心線に沿った一部の活性領域(第30図の斜線で示す箇所)は、上記第1層ポリシリコン膜および第2層ポリシリコン膜を重ね切りでエッチングする際に、この斜線部分には第2層ポリシリコン膜しか存在しないので、この活性領域の表面が削られて溝状の溝38ができ、そこに生じた欠陥から接合リーク電流が発生するという問題がある。また、ソース領域を構成する拡散層の深さが浅い場合には、活性領域に不純物イオンを打込んでソース領域31およびドレイン領域32を形成する際、上記した溝38の側壁には不純物イオンが打込まれないので、溝38を挟んだ両側のソース領域31間が断線しEEPROM

Mの製造歩留りを低下させるという問題がある。

本発明の目的は、EEPROMの電気的特性を向上させることのできる技術を提供することにある。

本発明の他の目的は、上記目的を達成するとともに、EEPROMの製造歩留りを向上させることのできる技術を提供することにある。

本発明のさらに他の目的は、上記目的を達成するとともに、EEPROMの集積度を向上させることのできる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

本願の一発明は、メモリセルを分離するフィールド絶縁膜をワード線と直交する方向に連続的に延在させたEEPROMである。

本願の他の発明は、メモリセルを分離するフィールド絶縁膜をワード線と直交する方向に連続的に延在させ、このフィールド絶縁膜およびワード線で囲まれたソース領域を接続する為、ワード線の延びる方向に共通ソース線を設けたEEPROMである。

本願の他の発明は、前記共通ソース線をゲート電極に対して自己整合的に形成するEEPROMの製造方法である。

本願の他の発明は、ワード線と直交する方向に連続的に延在するフィールド絶縁膜上にフローティングゲート用の導電膜およびコントロールゲート用の導電膜を順次堆積し、上記フローティングゲート用の導電膜およびコントロールゲート用の導電膜を重ね切りでエッチングして二層ゲート電極を形成した後、ソース領域を形成すべき領域上のフィールド絶縁膜をエッチングで除去することによって、ソース領域をコントロールゲートにセルフアライメントでコントロールゲートの延びる方向に連続的に形成するEEPROMの製造方法

である。

〔作用〕

フィールド絶縁膜をワード線と直交する方向に連続的に延在させた本願の発明によれば、フローティングゲートとソース領域とが重なる領域の面積が全てのメモリセルで等しくなる。従って、フローティングゲートとソース領域との間に形成されるカップリング容量が全てのメモリセルで等しくなる結果、フローティングゲート電圧が全てのメモリセルで等しくなるので、データの消去速度のばらつきが解消され、EEPROMの電気的特性が向上する。

また、フィールド絶縁膜を島状に分離せずにワード線と直交する方向に連続的に延在させたので、フローティングゲート用のポリシリコン膜をフィールド絶縁膜の中心線に沿ってエッチングする際に基板の活性領域がエッチングされることがない。これにより、基板の削れが防止されるので、接合リーク電流の発生を防止することができる。また、基板の削れに起因するソース領域の断線を防止す

特開平3-52267 (5)

ることができる。

次に、共通ソース線を二層ゲート電極に対して自己整合的に形成する本願の発明によれば、共通ソース線をソース領域に接続するためのコンタクトホールが不要となるので、コンタクトホールを形成する際のマスク合わせ余裕が不要となり、その分ソース領域の面積を縮小することができる。

次に、ワード線と直交する方向に連続的に延在するフィールド絶縁膜上に二層ゲート電極を形成した後、ソース領域を形成すべき領域上のフィールド絶縁膜をエッチングで除去することによって、ソース領域側の側壁が二層ゲート電極の側壁が同一面をなすようなフィールド絶縁膜を形成する本願の発明によれば、フローティングゲートとソース領域とが重なる領域の面積を全てのメモリセルで等しくすることができる。従って、フローティングゲートとソース領域との間に形成されるカップリング容量が全てのメモリセルで等しくなる結果、例えばデータの消去の際のフローティングゲート電圧が全てのメモリセルで等しくなるので、

データの消去速度のばらつきが解消され、EEPROMの電気的特性が向上する。また、フィールド絶縁膜がワード線と直交する方向に連続的に延在している状態でフローティングゲート用のポリシリコン膜をエッチングするので、基板の活性領域がエッチングされることがない。従って、基板の割れが防止されるので、接合リーク電流の発生に起因するメモリセルの電気的特性の劣化を防止することができる。また、基板の割れに起因するソース領域の断線を防止することができる。

以下、実施例を用いて本発明を詳述する。なお、実施例を説明するための全図において同一の機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

〔実施例1〕

本実施例1の半導体集積回路装置は、電気的に一括消去可能なフラッシュEEPROMであり、第12図はそのメモリセルアレイおよび一部の周辺回路を示す等価回路図である。

メモリセルアレイは、メモリセルQ_n、ワード

線WL、データ線DLおよび共通ソース線SLで構成されている。メモリセルQ_nは、フローティングゲートおよびコントロールゲートからなる二層ゲート電極構造のnチャネルMISFETで構成されており、そのコントロールゲートには、ワード線WLが接続されている。nチャネルMISFETの一方の半導体領域を構成するドレイン領域には、データ線DLが接続されており、もう一方の半導体領域を構成するソース領域には、共通ソース線SLが接続されている。共通ソース線SLおよびワード線WLは、互いに並行する方向に延在しており、データ線DLは、ワード線WLおよび共通ソース線SLと直交する方向に延在している。

ワード線WLの一端は、周辺回路のX-デコード（ワード線選択回路）に接続されている。データ線DLは、その一端が周辺回路のデータ線駆動回路DRに接続されており、他端はカラムスイッチ回路を構成するnチャネルMISFETQ_cを通じて周辺回路の入力回路DIBおよび出力回路

DIBに接続されている。カラムスイッチ回路を構成するMISFETQ_cのゲート電極には、Y-デコード（データ線選択回路）の出力が供給される。

共通ソース線SLには、pチャネルMISFETQ_{s1}およびnチャネルMISFETQ_{s2}で構成されたCMISインバータ回路IVの出力が供給される。CMISインバータ回路IVの入力端子であるMISFETQ_{s1}、Q_{s2}のそれぞれのゲート電極には、信号φ₂が供給される。

センスアンプ回路を含む出力回路DOBは、読出し動作の際、選択されたデータ線DLに供給された信号を増幅して入出力端子I/Oに供給し、入力回路DIBは、書き込み動作の際、外部回路から入出力端子I/Oに供給された信号をデータ線DLに供給する。

前記およびその他の周辺回路は、前記CMISインバータ回路IVと同様、いずれもCMISFETで構成されている。

メモリセルQ_nにデータを書込む際、共通ソー

特開平3-52267 (6)

ス線SLには、ハイレベルの信号 ϕ_2 で導通するインバータ回路IVのnチャネルMISFETQ₅を通じて回路の電源電圧V_{DD}〔例えば0V〕が印加される。全てのデータ線DLは、データ駆動回路DRによりあらかじめ回路の基準電圧V_{SS}にプリチャージされており、その後Y-デコードにより選択された所定のデータ線DLには、入力回路DIBから電源電圧V_{DD}〔例えば5V〕が印加される。X-デコードにより選択された所定のワード線WLには、高電圧V_{PP}〔例えば12V〕が印加される。高電圧V_{PP}は、外部回路から供給されるか、またはチップ内に内蔵された昇圧回路によって電源電圧V_{DD}から発生される。その結果、データ線DLに電源電圧V_{DD}が印加され、かつワード線WLに高電圧V_{PP}が印加された一つのメモリセルQ₀において、そのドレイン領域からフローティングゲートにホットエレクトロンが注入され、データの書き込みが行われる。

メモリセルQ₀のデータを読出す際、共通ソース線SLには、ハイレベルの信号 ϕ_2 で導通する

インバータ回路IVのnチャネルMISFETQ₅を通じて回路の電源電圧V_{DD}が印加される。全てのデータ線DLは、データ駆動回路DRによりあらかじめ回路の基準電圧V_{SS}にプリチャージされる。X-デコードにより選択された所定のワード線WLには、電源電圧V_{DD}（またはそれ以下）のハイレベル信号が印加される。メモリセルQ₀のしきい値電圧V_{TH}がワード線WLの選択レベルよりも低い場合には、メモリセルQ₀が導通してデータ線DLの電圧が電源電圧V_{DD}よりも低下する。メモリセルQ₀のしきい値電圧V_{TH}がワード線WLの選択レベルよりも高い場合には、メモリセルQ₀が非導通となり、データ線DLの電圧はプリチャージレベルに保たれる。さらにY-デコードで特定のデータ線を選ぶことにより選択された一つのメモリセルQ₀のデータに対応した電圧がデータ線DLに現れ、データの読出しが行われる。

メモリセルQ₀のデータを消去する際、共通ソース線SLには、ローレベルの信号 ϕ_2 で導通す

るインバータ回路IVのpチャネルMISFETQ₆を通じて高電圧V_{PP}〔例えば12V〕が印加される。共通ソース線SLに高電圧V_{PP}が印加された状態で全ワード線WLは、信号 ϕ_1 を受けたX-デコードによりローレベルとされ、かつ全データ線DLは、信号 ϕ_2 を受けたY-デコードによりローレベルとされる。その結果、全メモリセルQ₀のフローティングゲートからトンネル領域を通じてソース領域にエレクトロンが放出され、データの一括消去が行われる。

第1図は、上記メモリセルアレイの構成を示す平面図である。なお、第1図では説明を簡単にするために、フィールド絶縁膜以外の絶縁膜は図示していない。

半導体基板（チップ）1は、例えばp-形シリコン単結晶からなり、その主面には、SiO₂からなるフィールド絶縁膜2が設けられている。フィールド絶縁膜2のそれぞれは、図の上下方向、つまりY方向に連続的に延在し、かつ図の左右方向つまりX方向に所定の間隔を置いて配置されて

いる。

フィールド絶縁膜2の上層には、隣接するフローティングゲートにまたがるように例えばポリシリコンからなるフローティングゲート3が設けられている。フローティングゲート3の上層には、例えばポリシリコンからなるコントロールゲート4が設けられている。コントロールゲート4はワード線WLを兼ねており、フローティングゲート3に重なるように配置されている。ワード線WLのそれぞれは、X方向に延在し、かつY方向に所定の間隔を置いて配置されている。

フィールド絶縁膜2およびワード線WLで周囲を囲まれた基板1の活性領域には、例えばn形半導体領域からなるソース領域5およびドレイン領域6が設けられている。全てのソース領域5およびドレイン領域6は、フィールド絶縁膜2およびワード線WLを介して互いに分離されている。ソース領域5およびドレイン領域6は、フィールド絶縁膜2の延在する方向に沿って交互に配置されている。

特開平3-52267 (7)

ワード線WLの上層には、共通ソース線SLおよび導電層7が設けられている。共通ソース線SLおよび導電層7は、例えばポリシリコンで構成されている。共通ソース線SLのそれぞれは、X方向に延在し、かつ図のY方向に所定の間隔を置いて配置されている。共通ソース線SLは、ソース領域5を覆うように設けられており、コンタクトホール8aを通じてソース領域5と電氣的に接続されている。共通ソース線SLの幅は、Y方向におけるソース領域5の幅よりも広い。すなわち、共通ソース線SLは、ワード線WLの一部を覆うように設けられている。一方、導電層7は、X方向に互いに分離されており、それぞれがドレイン領域6を覆っている。導電層7は、コンタクトホール8bを通じてドレイン領域6と電氣的に接続されている。導電層7は、ドレイン領域6よりも広い面積を有している。すなわち、導電層7は、ワード線WLの一部を覆うように設けられている。共通ソース線SLと導電層7を同層で形成する場合には、Y方向で両者が離間していなければ

ならない。

共通ソース線SLおよび導電層7の上層には、例えばアルミニウム合金からなるデータ線DLが設けられている。データ線DLのそれぞれは、Y方向に延在し、かつ図のX方向に所定の間隔を置いて配置されている。データ線DLは、第1図では図示しないスルーホール23を通じて導電層7と電氣的に接続されている。すなわち、データ線DLは、スルーホール23、導電層7およびコンタクトホール8bを通じてドレイン領域6と電氣的に接続されている。

このように、本実施例1のフラッシュEEPROMのメモリセルQ₀は、フローティングゲート3およびコントロールゲート4からなる二層構造のゲート電極と、ソース領域5およびドレイン領域6からなるn形半導体領域とを有する単一のnチャネルMISFETで構成されており、そのソース領域5およびドレイン領域6は、ワード線WLおよびこのワード線WLと直交する方向に延在するフィールド絶縁膜2を介して互いに分離され

ている。そして、メモリセルQ₀のコントロールゲート4にはワード線WLが一体に接続され、ソース領域5にはソース線SLが接続され、ドレイン領域6には導電層7を介してデータ線DLが接続されている。

第2図は、第1図のI-I線における基板1の断面図であり、第3図は、第1図のII-II線における基板1の断面図である。

第2図および第3図に示すように、メモリセルQ₀は、基板1に設けたウェル9の上面に設けられている。メモリセルQ₀の一方の半導体領域を構成するソース領域5は、不純物濃度が互いに異なるn⁺半導体領域5aおよびn⁻半導体領域5bで構成されている。すなわち、ソース領域5は、いわゆる二重拡散構造を有している。不純物濃度が高いn⁺半導体領域5aの下層に不純物濃度が低いn⁻半導体領域5bを設けたことにより、データの消去時にソース領域に高電圧V_{pp}〔例えば12V〕が印加された際、n⁺半導体領域5aの端部の電界が緩和されるので、メモリセルQ₀

の結合リーク電流を低減することができる。

メモリセルQ₀のもう一方の半導体領域を構成するn⁺半導体領域であるドレイン領域6の下層には、ドレイン領域6とは異なる導電形の不純物を導入したp⁺半導体領域10が設けられている。ドレイン領域6の下層にp⁺半導体領域10を設けたことにより、データの書き込み時にドレイン領域6に電源電圧V_{DD}〔例えば5V〕が印加された際、その端部においてホットエレクトロンの発生が促進されるので、メモリセルQ₀へのデータの書き込み効率が向上する。

メモリセルQ₀同士を分離するフィールド絶縁膜2の下層には、p形のチャネルストップ領域11が設けられている。メモリセルQ₀のチャネル領域には、しきい値電圧V_{th}を制御するためのp形のチャネルドープ層12が設けられている。チャネルドープ層12の上層には、例えばSiO₂からなるゲート絶縁膜13が設けられている。

ゲート絶縁膜13の上層には、フローティングゲート3およびコントロールゲート4（ワード線

特開平3-52267(8)

WL) からなる二層構造のゲート電極が設けられている。フローティングゲート3およびコントロールゲート4は、フローティングゲート3上に設けられた、例えばSiO₂からなる第二ゲート絶縁膜14を介して互いに絶縁されている。フローティングゲート3およびコントロールゲート4の側壁ならびにコントロールゲート4上には、例えば熱酸化によるSiO₂からなる絶縁膜15が設けられている。フローティングゲート3およびコントロールゲート4の側壁には、ゲート長方向に広がるサイドウォールスペース16が設けられている。サイドウォールスペース16は、例えばCVDで堆積したSiO₂で構成されている。

絶縁膜15およびサイドウォールスペース16の上層には、例えばSiO₂からなる層間絶縁膜20が設けられている。層間絶縁膜20の上層には、共通ソース線SLおよび導電層7が設けられている。共通ソース線SLおよび導電層7の上層には、例えばBPSG(BoroPhospho Silicate Glass)からなる層間絶縁膜22が設けられている。

でpウェル9を形成する。pウェル9は、 $5 \times 10^{12} \sim 1 \times 10^{13}$ (atoms/cm²) 程度のBF₃を50~70 KeV程度のエネルギーでイオン打込みした後、BF₃を引き伸ばし拡散して形成する。BF₃のイオン打込みは、基板1の主面に形成したSiO₂からなる絶縁膜(図示せず)を通じて行う。続いて、基板1の主面にp形不純物、例えば $6 \times 10^{12} \sim 1 \times 10^{13}$ (atoms/cm²) 程度のBF₃を40~50 KeV程度のエネルギーでイオン打込みした後、いわゆる選択酸化法(LOCOS法)を用いてpウェル9の所定の主面にフィールド絶縁膜2を形成し、同時にその下層にp形のチャンネルストップ領域11を形成する。フィールド絶縁膜2の膜厚は、6000~8000 Å程度である。次に、活性領域の主面の絶縁膜を、例えばフッ酸水溶液で除去した後、基板1を熱酸化して活性領域の主面にSiO₂からなる絶縁膜17を形成する。続いて、この絶縁膜17を通じて活性領域の主面にp形不純物、例えばBをイオン打込みしてしきい値電圧(V_{th})を制御するための

層間絶縁膜22の上層には、データ線DLが設けられている。データ線DLは、層間絶縁膜22に設けられたスルーホール23を通じて導電層7と電気的に接続されている。データ線DLの上層には、基板1の表面を保護するためのパッシベーション膜25が設けられている。パッシベーション膜25は、例えばPSG(Phospho Silicate Glass)で構成されている。

次に、上記した構成からなるフラッシュEEPROMの製造方法を第4図~第11図を用いて説明する。第4図~第11図の各図において、(a)は前記第2図と同じく第1図のII-II線における基板1の断面図であり、(b)は前記第3図と同じく第1図のIII-III線における基板1の断面図である。なお、ここでは説明を簡単にするために、メモリセルQ₀を構成するnチャネルMISFETの製造工程のみを説明し、周辺回路を構成するCMISFETの製造工程の説明は省略する。

まず、第4図に示すように、p⁺形シリコン単結晶からなる基板1の主面にp形不純物を導入し

チャネルドープ層12を形成する。

次に、活性領域の主面の絶縁膜17を、例えばフッ酸水溶液で除去した後、第5図に示すように、基板1を熱酸化して活性領域の主面に、例えばSiO₂からなるゲート絶縁膜13を形成する。ゲート絶縁膜13の膜厚は、100~150 Å程度である。続いて、CVD法を用いてゲート絶縁膜13の上層にフローティングゲート用のポリシリコン膜18を堆積する。ポリシリコン膜18の膜厚は、2000~3000 Å程度である。次に、ポリシリコン膜18に、例えば 1×10^{16} [atoms/cm³] 程度のPを30 KeV程度のエネルギーでイオン打込みしてその抵抗値を低減した後、フィールド絶縁膜2の中心部に沿ってポリシリコン膜18をエッチングする。フィールド絶縁膜2は、後に形成されるワード線WLと直交する方向に延在しているので、ポリシリコン膜18をエッチングする際に基板1の活性領域の主面がエッチングされることはない。

次に、第6図に示すように、基板1を熱酸化し

特開平3-52267 (9)

てポリシリコン膜18の表面にSiO₂からなる第二ゲート絶縁膜14を形成する。第二ゲート絶縁膜14の膜厚は、例えば200～300Å程度である。続いて、CVD法を用いて第二ゲート絶縁膜14の上層にコントロールゲート（ワード線WL）用のポリシリコン膜19を堆積する。ポリシリコン膜19の膜厚は、2000～3000Å程度である。

次に、ポリシリコン膜19にリン処理を施してその抵抗値を下げた後、第7図に示すように、ポリシリコン膜18、第二ゲート絶縁膜14およびポリシリコン膜19を重ね切りでエッチングしてフローティングゲート3およびコントロールゲート4（ワード線WL）を同時に形成した後、基板1を熱酸化してフローティングゲート3およびコントロールゲート4（ワード線WL）のそれぞれの側壁、ならびにコントロールゲート4（ワード線WL）上にSiO₂からなる絶縁膜15を形成する。絶縁膜15の膜厚は、70～80Å程度である。なお、コントロールゲート4（ワード線WL）

は、ポリシリコン膜上にW、Ta、Ti、Moなどの高融点金属のシリサイド膜を積層した、いわゆるポリサイド構造の複合膜や、上記高融点金属（またはそのシリサイド）の単層膜で構成してもよい。

次に、第8図に示すように、活性領域の主面に不純物を導入してソース領域5およびドレイン領域6を形成する。ソース領域5およびドレイン領域6を形成するには、まずソース領域5を形成すべき活性領域の主面にソース領域5bを形成するためにn形不純物を導入する。n形不純物を導入するには、例えば $1 \times 10^{15} \sim 1.1 \times 10^{15}$ (atoms/cm²)程度のPを50KeV程度のエネルギーでイオン打込みする。n形不純物は、フローティングゲート3およびコントロールゲート4（ワード線WL）に対して自己整合的に導入される。続いて、ドレイン領域6を形成すべき活性領域の主面に領域10を形成する為にp形不純物を導入する。p形不純物を導入するには、例えば $5 \times 10^{15} \sim 1.5 \times 10^{16}$ (atoms/cm²)程度のBF₃を60K

eV程度のエネルギーでイオン打込みする。p形不純物は、フローティングゲート3およびコントロールゲート4（ワード線WL）に対して自己整合的に導入される。その後、基板1を窒素ガス中、1000℃程度で熱処理して上記n形不純物およびp形不純物の引き伸ばし拡散を行い、ソース領域5を形成すべき活性領域の主面にn⁺半導体領域5bを形成するとともに、ドレイン領域6を形成すべき活性領域の主面にp⁺半導体領域10を形成する。n⁺半導体領域5bおよびp⁺半導体領域10の接合深さは、それぞれ0.5μm程度である。

次に、n⁺半導体領域5bを形成した活性領域の主面にn形不純物を導入する。n形不純物を導入するには、例えば $5 \times 10^{15} \sim 1 \times 10^{16}$ (atoms/cm²)程度のAsを60KeV程度のエネルギーでイオン打込みする。n形不純物は、フローティングゲート3およびコントロールゲート4（ワード線WL）に対して自己整合的に導入される。続いて、p⁺半導体領域10を形成した活性領域

の主面にn形不純物を導入する。n形不純物を導入するには、例えば $1 \times 10^{15} \sim 5 \times 10^{15}$ (atoms/cm²)程度のAsを60KeV程度のエネルギーでイオン打込みする。n形不純物は、フローティングゲート3およびコントロールゲート4（ワード線WL）に対して自己整合的に導入される。その後、基板1を窒素ガス中、1000℃程度で熱処理して上記したそれぞれのn形不純物の引き伸ばし拡散を行い、n⁺半導体領域5b上にn⁺半導体領域5aを形成するとともに、p⁺半導体領域10上にn半導体領域6を形成する。n⁺半導体領域5aおよびn半導体領域6の接合深さは、それぞれ0.3μm程度である。

次に、第9図に示すように、フローティングゲート3およびコントロールゲート4（ワード線WL）の側壁にサイドウォールスペーサ16を形成する。サイドウォールスペーサ16は、例えば図示しない周辺回路のnチャネルMISFETおよびpチャネルMISFETをLDD (Lightly Doped Drain) 構造にするためのサイドウォールスペ

特開平3-52267 (10)

ソースを形成する際に同時に形成する。サイドウォールスペーサ16は、例えばCVD法を用いて堆積したSiO₂からなる絶縁膜(図示せず)をRIE(Reactive Ion Etching)のような異方性エッチングで加工して形成する。続いて、熱酸化して形成した絶縁膜15およびサイドウォールスペーサ16の上層に層間絶縁膜20を堆積する。層間絶縁膜20は、例えば有機シランの熱分解法で形成したSiO₂からなり、その膜厚は1500Å程度である。

次に、第10図に示すように、層間絶縁膜20およびゲート絶縁膜13をエッチングしてソース領域5の主面に達するコンタクトホール8aおよびドレイン領域6の主面に達するコンタクトホール8bを同時に形成した後、CVD法を用いて層間絶縁膜20の上層に共通ソース線SLおよび導電層7用のポリシリコン膜21を堆積する。ポリシリコン膜21の膜厚は、1000~1500Å程度である。続いて、ポリシリコン膜21にリン処理を施してその抵抗値を低減した後、ポリシリ

コン膜21をエッチングしてソース領域5に接続される共通ソース線SLおよびドレイン領域6に接続される導電層7を同時に形成する。共通ソース線SLおよび導電層7のそれぞれは、コントロールゲート4(ワード線WL)の一部を覆うように形成される。なお、共通ソース線SLおよび導電層7は、ポリシリコン膜上にW、Ta、Ti、Moなどの高融点金属のシリサイド膜を被覆したポリサイド構造の複合膜や上記高融点金属(またはそのシリサイド)の単層膜で構成してもよい。

次に、第11図に示すように、CVD法を用いて共通ソース線SLおよび導電層7の上層に、例えばBPSGからなる層間絶縁膜22を堆積した後、基板1を熱処理して層間絶縁膜22を平坦化する。層間絶縁膜22の膜厚は、5000~6000Å程度である。続いて、層間絶縁膜22をエッチングして導電層7に達するスルーホール23を形成した後、スパッタ法を用いて層間絶縁膜22の上層にデータ線DL用のAl合金膜24を堆積する。Al合金膜24の膜厚は、8000Å程度である。

度である。

最後に、Al合金膜24をエッチングして導電層7に接続されるデータ線DLを形成した後、データ線DLの上層に、例えばPSGからなるパッシベーション膜25を堆積することにより、前記第1図~第3図に示すメモリセルQ₀が完成する。

以上のような構成からなる本実施例1によれば、下記のような効果が得られる。

(Ⅰ) フィールド絶縁膜2をワード線WLと直交する方向に連続的に延在させ、フローティングゲート3とソース領域5とが重なる領域の面積が全てのメモリセルQ₀で等しくなる。従って、フローティングゲート3とソース領域5との間に形成されるカップリング容量が全てのメモリセルQ₀で等しくなる結果、消去時に、ソース領域に高電圧を印加した場合のフローティングゲート電圧V_gが全てのメモリセルQ₀で等しくなるので、データ消去特性のばらつきが解消され、フラッシュEEPROMの電気的特性が向上する。

(Ⅱ) フィールド絶縁膜2をワード線WLと直交す

る方向に連続的に延在させ、フローティングゲート3用のポリシリコン膜18をエッチングする際およびコントロールゲート4用のポリシリコン膜19とフローティングゲート3用のポリシリコン膜18を重ね切りでエッチングする際に、基板1の活性領域がエッチングされないようにしたので、基板1の割れに起因する接合リーク電流の発生を防止することができるので、フラッシュEEPROMの電気的特性が向上する。また、基板1の割れに起因するソース領域5の断線を防止することができるので、フラッシュEEPROMの製造歩留りが向上する。

(Ⅲ) ワード線WLの上層に共通ソース線SLおよび導電層7で覆うようにしたので、パッシベーション膜25や層間絶縁膜22を通じてゲート電極に達する水分などの異物を共通ソース線SLおよび導電層7で遮断することができる。その結果、データの書き込み時にフローティングゲート3に注入されたエレクトロンの拡散を防止することができるので、フラッシュEEPROMのデータ保持

特開平3-52267 (11)

特性が向上する。

(4) ドレイン領域6の上層に形成した導電層7を介してデータ線DLをドレイン領域6に接続するようにしたので、層間絶縁膜22に形成されるスルーホール23のアスペクト比(スルーホールの深さ/スルーホールの径)を小さくすることができる。その結果、スルーホール23内に堆積されるデータ線DL用A1合金膜24のカバレッジが向上するので、データ線DLの接続信頼性が向上する。

〔実施例2〕

本実施例2の半導体集積回路装置は、フラッシュEEPROMであり、第13図はそのメモリセルアレイの構成を示す平面図である。なお、第13図では説明を簡単にするために、フィールド絶縁膜以外の絶縁膜は図示していない。

第13図に示すように、メモリセルQaは、図のY方向に連続的に延在するフィールド絶縁膜2と、図のX方向に延在するワード線WLとが交差する領域に設けられている。メモリセルQaは、

導電層7もドレイン領域6に直接接続している。

第14図は、第13図のXIV-XIV線における基板1の断面図である。第14図に示すように、メモリセルQaは、基板1に設けたpウェル9の主面に設けられている。メモリセルQaのソース領域5は、 n^+ 半導体領域5aおよび n^- 半導体領域5bからなる二重拡散構造を有しており、ドレイン領域6の下層には、 p^+ 半導体領域10が設けられている。メモリセルQaのチャネル領域には、チャネルドープ層12が設けられており、その上層には、ゲート絶縁膜13が設けられている。

フローティングゲート3およびコントロールゲート4(ワード線WL)は、フローティングゲート3上に設けられた第二ゲート絶縁膜14を介して互いに絶縁されている。フローティングゲート3およびコントロールゲート4(ワード線WL)の側壁には、絶縁膜15およびサイドウォールスペーサ16が設けられている。コントロールゲート4(ワード線WL)上には、層間絶縁膜20

フローティングゲート3およびコントロールゲート4(ワード線WL)からなる二層構造のゲート電極と、ソース領域5およびドレイン領域6からなる n 形半導体領域とを有する単一の n チャネルMISFETで構成されている。ソース領域5およびドレイン領域6は、フィールド絶縁膜2およびワード線WLを介して互いに分離されており、ソース領域5には共通ソース線SLが接続され、ドレイン領域6には導電層7を介してデータ線DLが接続されている。共通ソース線SLは、図のX方向に延在し、データ線DLは、図のY方向に延在している。

前記実施例1のフラッシュEEPROMは、層間絶縁膜20の一部に設けたコンタクトホール8aを通じて共通ソース線SLをソース領域5に接続し、同じく層間絶縁膜20の一部に設けたコンタクトホール8bを通じて導電層7をドレイン領域6に接続する構成になっているが、本実施例2のフラッシュEEPROMにおいては、共通ソース線SLをソース領域5に直接接続し、同じく導

が設けられている。

サイドウォールスペーサ16および層間絶縁膜20の上層には、共通ソース線SLおよび導電層7が設けられている。共通ソース線SLは、ソース領域5に直接接続されており、導電層7は、ドレイン領域6に直接接続されている。

共通ソース線SLおよび導電層7は、Y方向に隣接するメモリセルQaのサイドウォールスペーサ16に対して、自己整合的に設けられている。

共通ソース線SLおよび導電層7の上層には、層間絶縁膜22が設けられており、層間絶縁膜22の上層には、データ線DLが設けられている。データ線DLは、層間絶縁膜22に設けられたスルーホール27を通じて導電層7と電気的に接続されている。データ線DLの上層には、パッシベーション膜25が設けられている。

次に、上記した構成からなるフラッシュEEPROMの製造方法を第15図～第18図を用いて説明する。第15図～第18図は、前記14図と同じく第13図のXIV-XIV線における基板1の

特開平3-52267 (12)

断面図である。

第15図は、このフラッシュEEPROMの製造工程の中途段階を示しており、前記実施例1の第6図に示す製造工程に対応している。すなわち、基板1の主面にp形不純物を導入した後、いわゆる選択酸化法(LOCOS法)を用いてフィールド絶縁膜2を形成し、同時にその下層にp形のチャネルストップ領域11を形成する。フィールド絶縁膜2は、ワード線WLと直交する方向に延在するように形成する。続いて、活性領域の主面にゲート絶縁膜13を形成した後、フィールド絶縁膜2およびゲート絶縁膜13の上層にフローティングゲート用のポリシリコン膜18を堆積し、フィールド絶縁膜2上のポリシリコン膜18をその中心線に沿ってエッチングする。フィールド絶縁膜2は、後に形成されるワード線WLと直交する方向に連続的に延在しているので、ポリシリコン膜18をエッチングする際に基板1の活性領域の主面がエッチングされることはない。続いて、基板1を熱酸化してポリシリコン膜18の表面に第

ニゲート絶縁膜14を形成した後、その上層にコントロールゲート(ワード線WL)用のポリシリコン膜19を堆積し、リン処理を施してその抵抗値を低減する。ここまでの工程は、前記実施例1と同じである。次に、本実施例2では、ポリシリコン膜19の上層に層間絶縁膜20を堆積する。層間絶縁膜20は、コントロールゲート4(ワード線WL)を共通ソース線SLおよび導電層7と絶縁するために形成する。層間絶縁膜20は、例えば有機シランの熱分解法で形成する。

次に、第16図に示すように、ポリシリコン膜18、第二ゲート絶縁膜14、ポリシリコン膜19および層間絶縁膜20を重ね切りでエッチングしてフローティングゲート3およびコントロールゲート4(ワード線WL)を同時に形成した後、基板1を熱酸化してフローティングゲート3およびコントロールゲート4(ワード線WL)の側壁にSiO₂からなる絶縁膜15を形成する。続いて、活性領域の主面に不純物を導入してソース領域5およびドレイン領域6を形成する。ソース領

域5およびドレイン領域6は、前記実施例1と同じ方法で形成すればよいので、その説明は省略する。

次に、第17図に示すように、フローティングゲート3およびコントロールゲート4(ワード線WL)の側壁にサイドウォールスペーサ16を形成する。サイドウォールスペーサ16は、例えば図示しない周辺回路のnチャネルMISFETおよびpチャネルMISFETをLDD構造にするためのサイドウォールスペーサを形成する際に同時に形成する。サイドウォールスペーサ16は、例えばCVD法を用いて堆積したSiO₂からなる絶縁膜をRIEのような異方性エッチングで加工して形成する。本実施例2では、サイドウォールスペーサ16を形成する際のエッチング工程でソース領域5およびドレイン領域6の主面のゲート絶縁膜13をオーバーエッチングして除去する。このエッチング工程では、コントロールゲート4(ワード線WL)上の層間絶縁膜20も同時にエッチングされるので、その際にコントロールゲ

ート4(ワード線WL)の表面が露出しないよう、あらかじめ層間絶縁膜20の膜厚は2000~3000Å程度としておく。

次に、第18図に示すように、CVD法を用いて層間絶縁膜20およびサイドウォールスペーサ16の上層にポリシリコン膜21を堆積し、リン処理を施してその抵抗値を低減した後、ポリシリコン膜21をエッチングして共通ソース線SLおよび導電層7を同時に形成する。共通ソース線SLおよび導電層7のそれぞれは、コントロールゲート4(ワード線WL)の一部を覆うように形成される。なお、コントロールゲート4(ワード線WL)や共通ソース線SL(導電層7)は、ポリシリコン膜上にW、Ta、Ti、Moなどの高融点金属のシリサイド膜を被覆した、いわゆるポリシリサイド構造の複合膜や高融点金属(またはそのシリサイド)の単層膜で構成してもよい。共通ソース線SLおよび導電層7を形成した後の工程は、前記実施例1と同じでよいので、その説明は省略する。

特開平3-52267 (13)

このように、コントロールゲート4（ワード線WL）上に層間絶縁膜20を堆積し、次いでフローティングゲート3およびコントロールゲート4（ワード線WL）の側壁にサイドウォールスペーサ16を形成し、同時にソース領域5およびドレイン領域6の上面のゲート絶縁膜13を除去した後、ソース領域5およびドレイン領域6の上面が露出している状態で共通ソース線SL用のポリシリコン膜21を堆積する本実施例2の製造方法によれば、共通ソース線SLおよび導電層7のそれぞれは、フローティングゲート3、コントロールゲート4（ワード線WL）およびサイドウォールスペーサ16に対して自己整合的に形成される。従って、本実施例2によれば、前記実施例1のようなコンタクトホール8a、8bが形成される際のマスク合わせ余格が不要となり、その分ソース領域5およびドレイン領域6の面積を縮小することができるので、メモリセルQ₀のサイズを縮小し、フラッシュEEPROMの集積度を向上させることができる。

各ドレイン領域6には、コンタクトホール28を通じてゲート線DLが接続されている。

第20図は、第19図のXX-X線における基板1の断面図であり、第21図は、第19図のXXI-XXI線における基板1の断面図であり、第22図は第19図のXXII-XXII線における断面図である。

第20図および第21図に示すように、メモリセルQ₀は、基板1に設けたpウェル9の上面に設けられている。メモリセルQ₀のソース領域5は、n⁺半導体領域5aおよびn⁺半導体領域5bからなる二重拡散構造を有している。ドレイン領域6の下層には、p⁺半導体領域10が設けられている。メモリセルQ₀同士を分離するフィールド絶縁膜2の下層には、p形のチャネルストップ領域11が設けられている。

フィールド絶縁膜2は、第20図に示すように、ソース領域5側の側壁が基板1の上面に対して垂直となっており、かつフローティングゲート3およびコントロールゲート4（ワード線WL）の側

【実施例3】

本実施例3の半導体集積回路装置は、フラッシュEEPROMであり、第19図はそのメモリセルアレイの構成を示す平面図である。なお、第19図では説明を簡単にするために、フィールド絶縁膜以外の絶縁膜は図示していない。

前記実施例1および実施例2のメモリセルアレイは、メモリセルQ₀を分離するフィールド絶縁膜2をワード線WLと直交する方向に延在し、このフィールド絶縁膜2およびワード線WLで囲まれたソース領域5に共通ソース線SLを接続した構成になっているが、本実施例3のメモリセルアレイは、第19図に示すように、フィールド絶縁膜2のそれぞれを分離形成して島状に配置している。従って、一本のワード線WLに接続された全てのメモリセルQ₀は、それらのソース領域5が共有されているので、ソース領域5同士を接続するための共通ソース線SLは存在しない。一方、ドレイン領域6は、フィールド絶縁膜2およびワード線WLを介して互いに分離されており、

型と同一面をなしている。従って、フィールド絶縁膜2のソース領域5側の端部には、いわゆるバース・ビーク(bird's beak)と称される張り出し部が存在しない。

これに対し、第21図に示すように、フィールド絶縁膜2のX方向端部には、バース・ビークが存在する。つまりフィールド絶縁膜2のX方向端部の厚さは、その中央部に比べて小である。

フローティングゲート3およびコントロールゲート4（ワード線WL）は、フローティングゲート3上に形成された第二ゲート絶縁膜14を介して互いに絶縁されている。フローティングゲート3およびコントロールゲート4（ワード線WL）の側壁には、熱酸化して形成した絶縁膜15が設けられている。絶縁膜15は、コントロールゲート4（ワード線WL）およびソース領域の基板表面上にも設けられている。サイドウォールスペーサ16は第20図に示すようにフローティングゲート3、コントロールゲート4（ワード線WL）およびフィールド絶縁膜2の側壁に設けられてい

特開平3-52267 (14)

る。

絶縁膜15の上層には、層間絶縁膜20が設けられている。層間絶縁膜20の上層には、データ線DLが設けられている。第21図および第22図に示すようにデータ線DLは、層間絶縁膜22およびゲート絶縁膜13に設けられたコンタクトホール28を通じてドレイン領域6と電気的に接続されている。データ線DLの上層には、パッシベーション膜25が設けられている。

次に、上記した構成からなるフラッシュEEPROMの製造方法を第23図～第26図を用いて説明する。第23図～第25図の各図において、(a)は前記第20図と同じく第19図のXX-XX線における基板1の断面図であり、(b)は前記第21図と同じく第19図のXXI-XXI線における基板1の断面図である。

第23図は、このフラッシュEEPROMの製造工程の中途段階を示しており、前記実施例1の第6図に示す製造工程に対応している。すなわち、基板1の主面にp形不純物を導入した後、いわゆ

る選択酸化法(LOCOS法)を用いてフィールド絶縁膜2を形成し、同時にその下層にp形のチャネルストップ領域11を形成する。フィールド絶縁膜2は、前記実施例1の場合と同じく、ワード線WLと直交する方向に連続的に延在するように形成する。続いて、活性領域の主面にゲート絶縁膜13を形成した後、フィールド絶縁膜2およびゲート絶縁膜13の上層にフローティングゲート用のポリシリコン膜18を堆積し、このポリシリコン膜18をフィールド絶縁膜2の中心線に沿ってエッチングする。フィールド絶縁膜2は、ワード線WLと直交する方向に延在しているので、ポリシリコン膜18をエッチングする際に基板1の活性領域の主面がエッチングされることはない。その後、基板1を熱酸化してポリシリコン膜18の表面に第二ゲート絶縁膜14を形成した後、その上層にコントロールゲート(ワード線WL)用のポリシリコン膜19を堆積し、リン処理を施してその抵抗値を低減する。ここまでの工程は、前記実施例1と同じである。

次に、第24図に示すように、ポリシリコン膜18、第二ゲート絶縁膜14およびポリシリコン膜19を重ね切りでエッチングしてフローティングゲート3およびコントロールゲート4(ワード線WL)を同時に形成する。本実施例3では、このエッチング工程で使用したホトレジストマスク29aをコントロールゲート4(ワード線WL)上に残したまま次の工程に移る。

続いて、第25図に示すように、ホトレジストマスク29a上に第二のホトレジストマスク29bを形成した後、ソース領域5を形成すべき領域上のフィールド絶縁膜2をエッチングして除去する。エッチングガスとしては、例えば、CF₄、CHF₃、Arを1:2:40の比でチャンバー内に流すことにより、シリコンとの選択比を10以上にできる。これにより、ワード線WLと直交する方向に延在していたフィールド絶縁膜2は、島状に分離され、それぞれのソース領域5側の側壁がフローティングゲート3およびコントロールゲート4(ワード線WL)の側壁と同一面をなす。

次に、ホトレジストマスク29a、29bを除去した後、第26図に示すように、基板1を熱酸化してフィールド絶縁膜2の間のソース領域5を形成する。基板1の表面、フローティングゲート3およびコントロールゲート4(ワード線WL)の側壁ならびにコントロールゲート4(ワード線WL)上に絶縁膜15を形成し、続いて活性領域の主面に不純物を導入してソース領域5およびドレイン領域6を形成する。ソース領域5およびドレイン領域6は、前記実施例1と同じ方法で形成すればよいので、その説明は省略する。なお、フィールド絶縁膜2の下層に形成されたチャネルストップ領域11は、パーズ・ビークの部分のチャネルストップ領域11に比べてp形不純物の濃度が高い。従って、フィールド絶縁膜2を除去した領域に形成されるソース領域5は、その端部が不純物濃度の高いチャネルストップ領域11と接するので、接合耐圧が低下し易いという問題があるが、ソース領域5をn⁺半導体領域5aおよびn⁻半導体領域5bの二重拡散構造とすることにより、

特開平3-52267 (15)

ソース領域5の端部の接合耐圧の低下を有効に防止することができる。

次に、絶縁膜15の上層に堆積した層間絶縁膜22をエッチングしてドレイン領域6に達するコンタクトホール28を形成した後、層間絶縁膜22の上層にデータ線DLを形成し、最後にデータ線DLの上層にパッシベーション膜25を堆積することにより、前記第20図、第21図および第22図に示すメモリセルQ₀が完成する。

以上のような構成からなる本実施例3によれば、下記のような効果が得られる。

(1)、フィールド絶縁膜2をワード線WLと直交する方向に延在し、フローティングゲート3用のポリシリコン膜18をエッチングする、およびコントロールゲート4用のポリシリコン膜19とフローティングゲート3用のポリシリコン膜18を重ね切りでエッチングする際に、基板1の活性領域がエッチングされないようにしたので、基板1の割れを防止することができる。その結果、基板1の割れに起因する接合リーク電流の発生を防止す

ることができるので、フラッシュEEPROMの電気的特性が向上する。また、基板1の割れに起因するソース領域5の断線を防止することができるので、フラッシュEEPROMの製造歩留りが向上する。

(2)、ワード線WLと直交する方向に連続的に延在しするフィールド絶縁膜2上にフローティングゲート3およびコントロールゲート4(ワード線WL)を形成した後、ソース領域5を形成すべき領域のフィールド絶縁膜2を除去することによって、フィールド絶縁膜2のソース領域5側の側壁がフローティングゲート3およびコントロールゲート4(ワード線WL)の側壁と同一平面をなすようにしたので、フローティングゲート3とソース領域5とが重なる領域の面積が全てのメモリセルQ₀で等しくなる。従って、フローティングゲート3とソース領域5との間に形成されるカップリング容量が全てのメモリセルQ₀で等しくなる結果、フローティングゲート電圧V_Fが全てのメモリセルQ₀で等しくなるので、データ消去特性のばら

つきが解消され、フラッシュEEPROMの電気的特性が向上する。

(3)、第27図に示すように、フィールド絶縁膜2のY方向の端部とフローティングゲート3との間に合わせ余裕を確保する必要がないので、Y方向における各メモリセル間隔を小さくすることができる。その結果、フラッシュEEPROMの集積度を向上させることができる。

(4)、フローティングゲート3およびコントロールゲート4(ワード線WL)を形成する際に用いたホットレジストマスク29a上に第二のホットレジストマスク29bを形成してフィールド絶縁膜2をエッチングするので、第二のホットレジストマスク29bの合わせずれや回転ずれに起因するコントロールゲート4(ワード線WL)の側壁の割れを防止することができる。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでも

ない。

前記実施例1～実施例3では、データの消去を電気的に一括して行うフラッシュEEPROMに適用した場合について説明したが、このようなフラッシュEEPROMを内蔵したマイクロコンピュータに適用することもできる。

〔発明の効果〕

本願において開示される発明のうち、代表的なものによつて得られる効果を簡単に説明すれば、下記のとおりである。

(1)、メモリセルを分離するフィールド絶縁膜をワード線と直交する方向に連続的に延在させ、フィールド絶縁膜およびワード線で周囲を囲まれたソース領域に共通ソース線を接続する本願に発明によれば、フローティングゲートとソース領域とが重なる領域の面積が全てのメモリセルで等しくなるので、データ消去特性のばらつきが解消され、EEPROMの電気的特性が向上する。

また、メモリセルを分離するフィールド絶縁膜をワード線と直交する方向に連続的に延在して配

特開平3-52267 (16)

置し、少なくともフローティングゲート用のポリシリコン膜およびコントロールゲート用のポリシリコン膜を重ね切りでエッチングする工程まで、そのフィールド絶縁膜を残しているため、フローティングゲート用のポリシリコン膜をエッチングする際の基板の割れが防止されるので、接合リーク電流の発生が防止され、EEPROMの電気的特性が向上する。さらに、基板の割れに起因するソース領域の断線を防止することができるので、EEPROMの製造歩留りが向上する。

例、前記共通ソース線をゲート電極に対して自己整合的に形成する本願の発明によれば、共通ソース線をソース領域に接続するコンタクトホールが不要となるので、メモリのサイズが縮小され、EEPROMの集積度が向上する。

例、ワード線と直交する方向に延在するフィールド絶縁膜上に二層ゲート電極を形成した後、ソース領域を形成すべき領域のフィールド絶縁膜をエッチングで除去し、ソース領域側の側壁が二層ゲート電極の側壁と同一面をなすようなフィールド

絶縁膜を形成する本願の発明によれば、フローティングゲートとソース領域とが重なる領域の面積が全てのメモリセルで等しくなるので、データ消去特性のばらつきが解消され、EEPROMの電気的特性が向上する。

また、メモリセルを分離するフィールド絶縁膜をワード線と直交する方向に延在している状態でフローティングゲート用のポリシリコン膜をエッチングするので、基板の割れが防止される。その結果、基板の割れに起因する接合リーク電流の発生を防止され、EEPROMの電気的特性が向上する。また、基板の割れに起因するソース領域の断線を防止され、EEPROMの製造歩留りが向上する。

さらに、フィールド絶縁膜のソース領域側の端部にバース・ビークが存在しないようになるので、メモリのサイズが縮小され、EEPROMの集積度が向上する。

4. 図面の簡単な説明

第1図は本発明の一実施例である半導体集積回路装置のメモリセルアレイを示す半導体基板の要部平面図、

第2図は第1図のII-II線断面図、

第3図は第1図のIII-III線断面図、

第4図(a)、(b)～第11図(a)、(b)はこの半導体集積回路装置の製造方法を示す半導体基板の要部断面図、

第12図はこの半導体集積回路装置のメモリセルアレイおよび一部の周辺回路の回路図、

第13図は本発明の他の実施例である半導体集積回路装置のメモリセルアレイを示す半導体基板の要部平面図、

第14図は第13図のXIV-XIV線断面図、

第15図～第18図はこの半導体集積回路装置の製造方法を示す半導体基板の要部断面図、

第19図は本発明の他の実施例である半導体集積回路装置のメモリセルアレイを示す半導体基板の要部平面図、

第20図は第19図のXX-XX線断面図、

第21図は第19図のXXI-XXI線断面図、

第22図は第19図のXXII-XXII線断面図、

第23図(a)、(b)～第26図(a)、(b)はこの半導体集積回路装置の製造方法を示す半導体基板の要部断面図、

第27図は従来の半導体集積回路装置のメモリセルアレイを示す半導体基板の要部平面図、

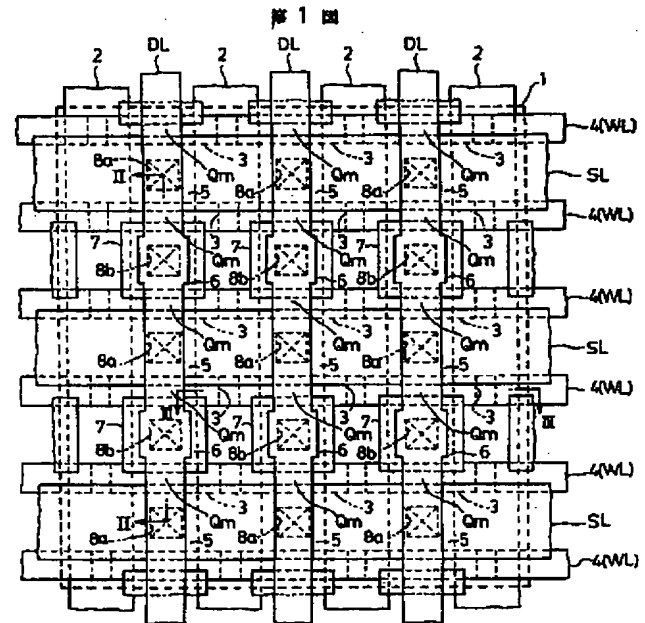
第28図～第30図は従来の半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

1、30・・・半導体基板、2、33・・・フィールド絶縁膜、3、35・・・フローティングゲート、4、36・・・コントロールゲート、5、31・・・ソース領域、6、32・・・ドレイン領域、7・・・導電層、8a、8b、28、34・・・コンタクトホール、9・・・pウェル、10・・・p⁺半導体領域、11・・・チャネルストップ領域、12・・・チャネルドープ層、13・・・ゲート絶縁膜、14・・・第二ゲート絶縁膜、15、17・・・絶縁膜、16・・・サイドウォールスペーサ、18、19、21、37・・・

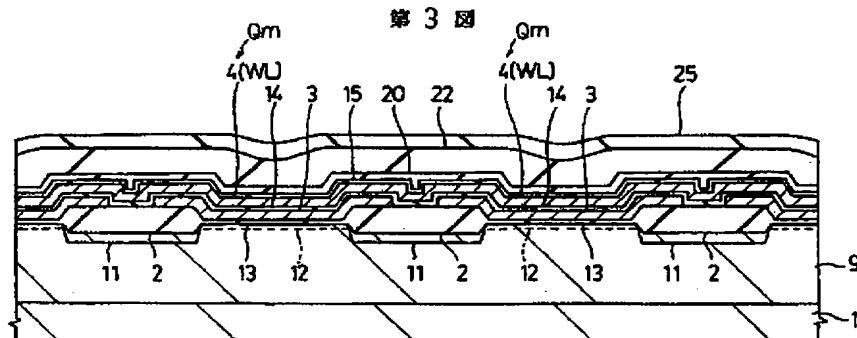
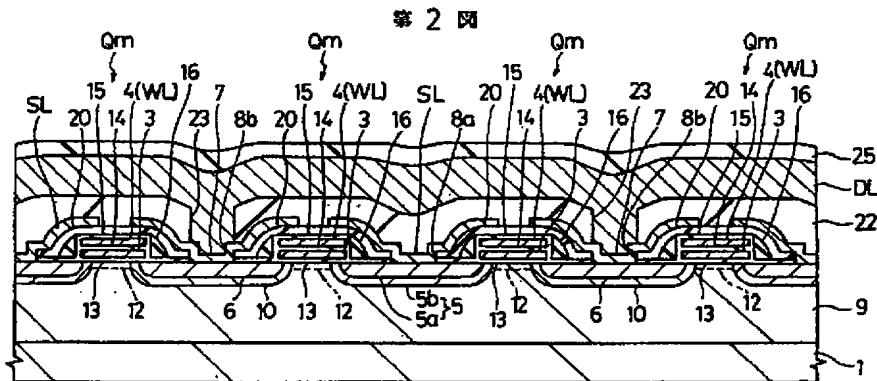
特開平3-52267 (17)

・ポリシリコン膜、20、22・・・層間絶縁膜、
23、27・・・スルーホール、24・・・アル
ミニウム合金膜、25・・・パッシベーション膜、
29a、29b・・・ホトレジストマスク、38
・・・溝、DL・・・データ線、SL・・・共通
ソース線、WL・・・ワード線。

代理人 弁理士 関 井 大 和

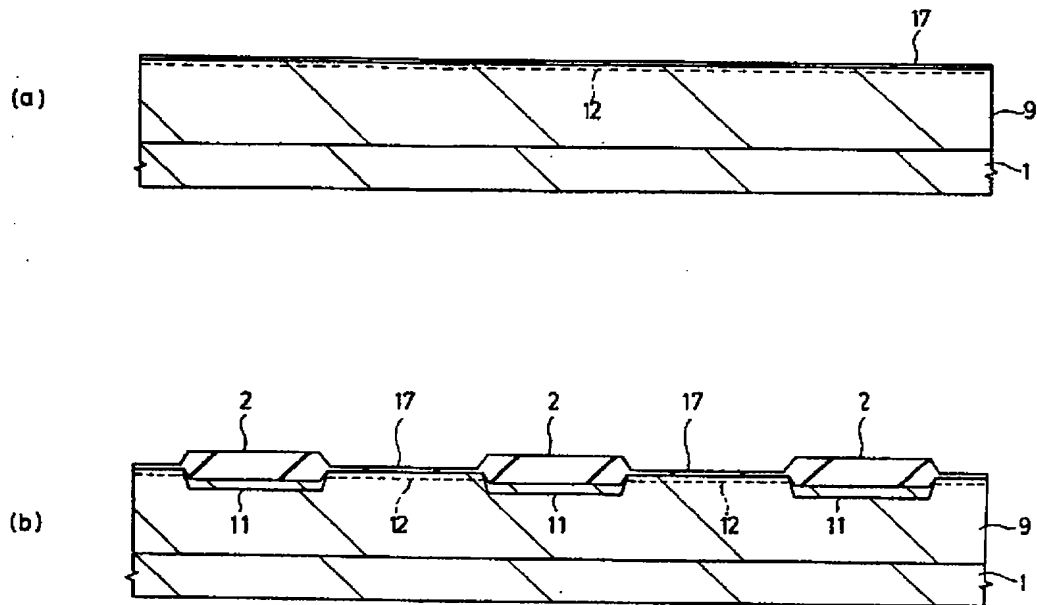


1: 半導体基板
2: フォトリソグレイ
3: フロートゲート
4: コントロールゲート
SL: 共通ソース線
WL: ワード線

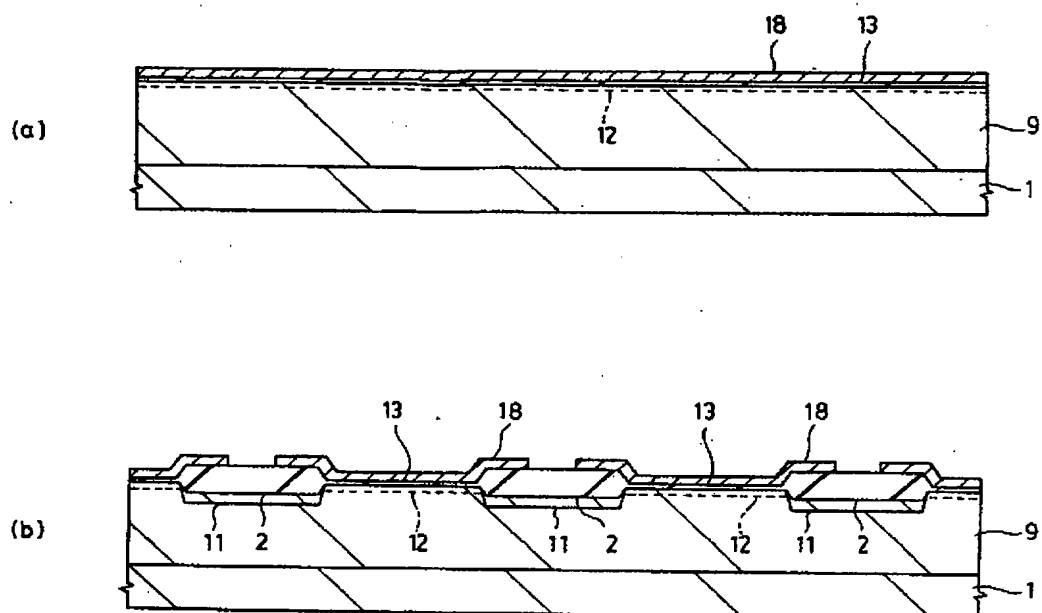


特開平3-52267 (18)

第4図

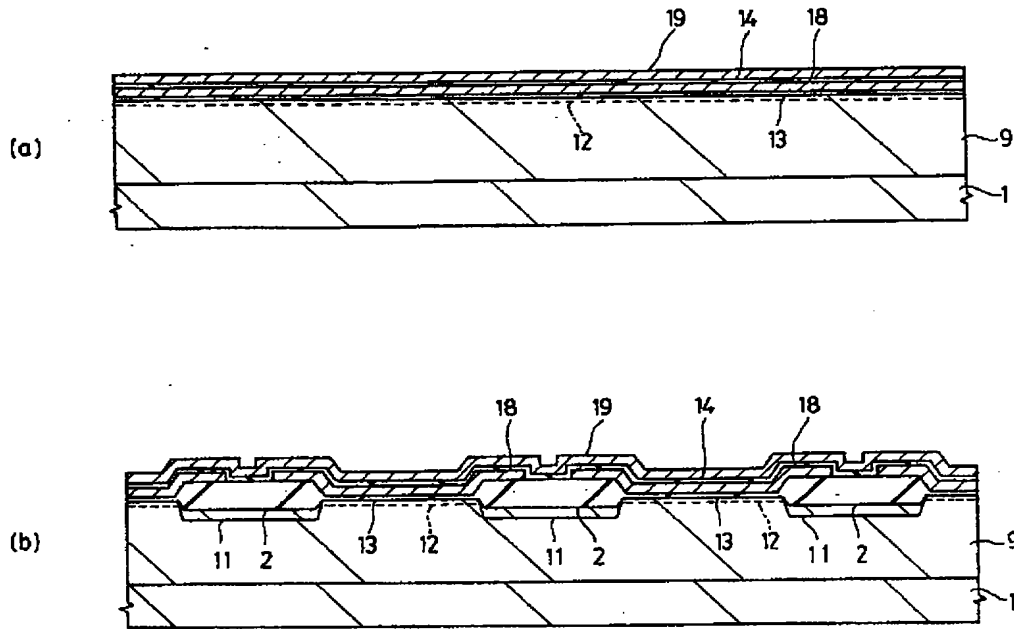


第5図

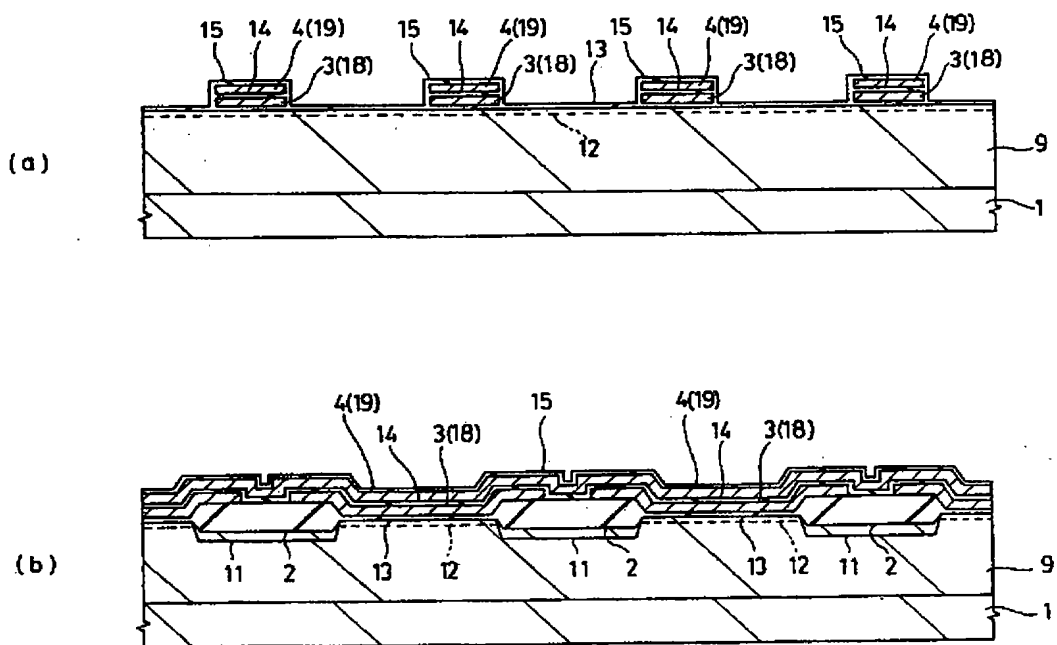


特開平3-52267 (19)

第 6 図

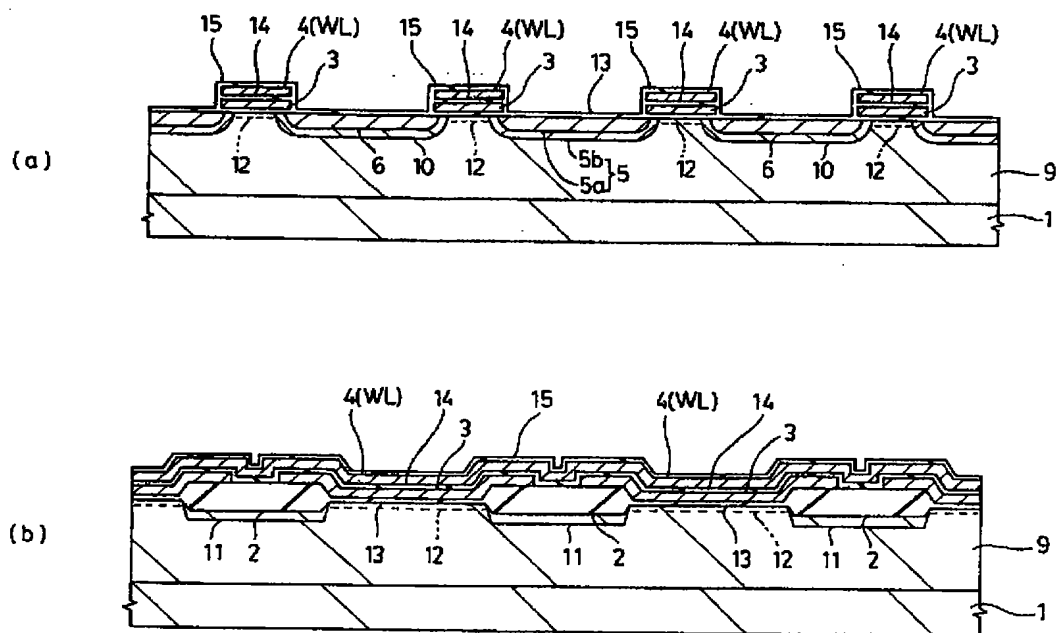


第 7 図



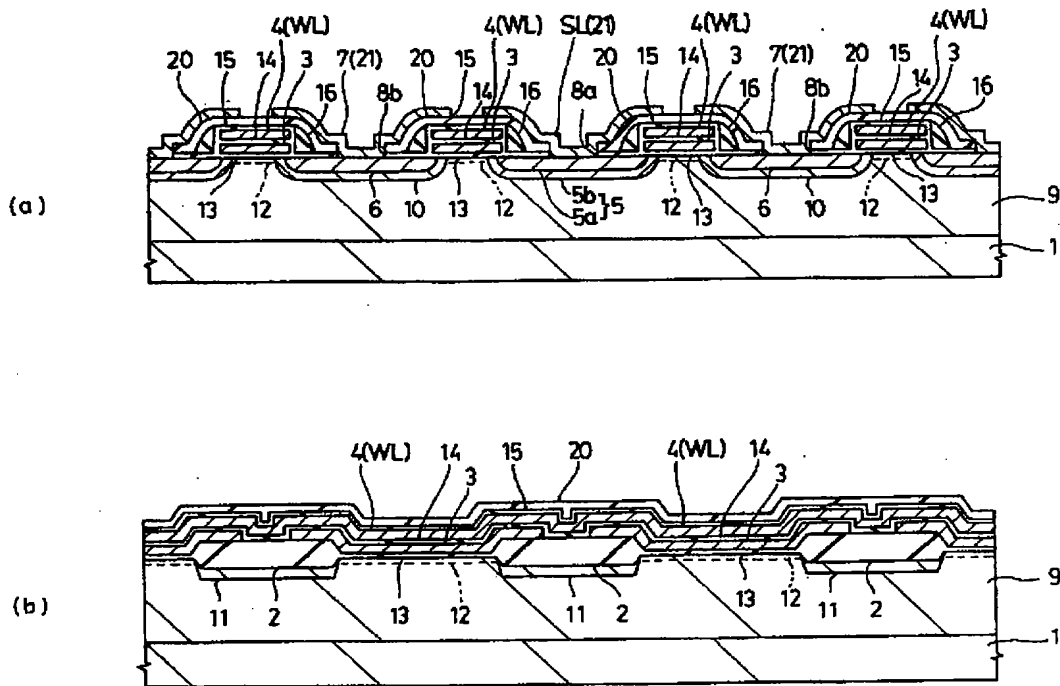
特開平3-52267.(20)

第 8 図

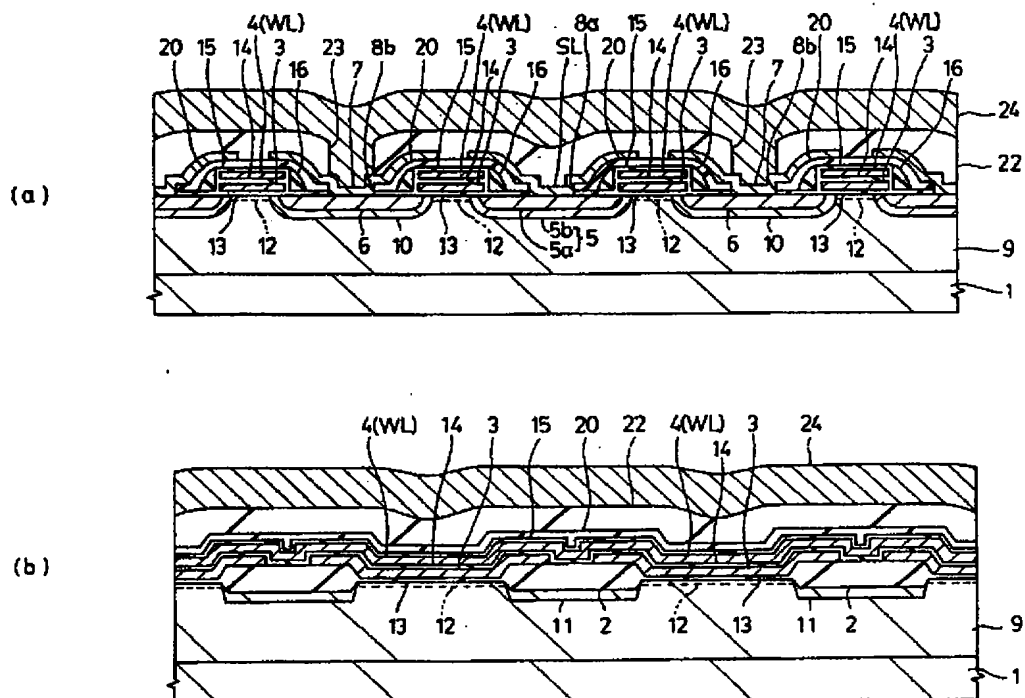


特開平 3-52267 (21)

第 10 圖

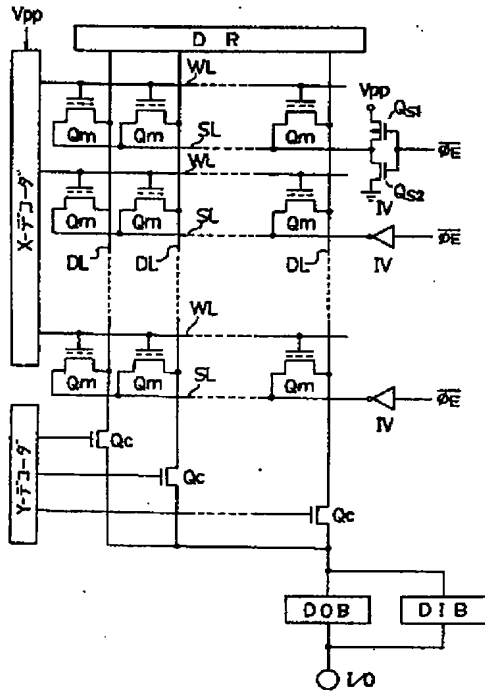


第 11 圖

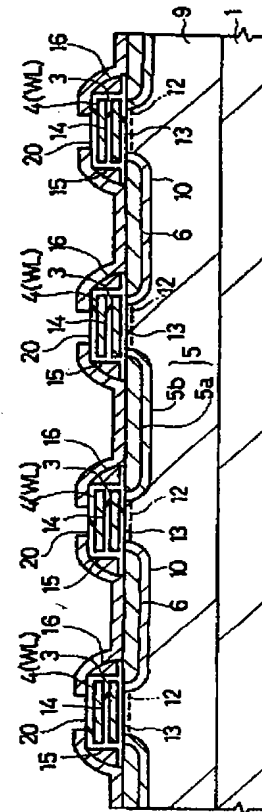


特開平 3-52267 (22)

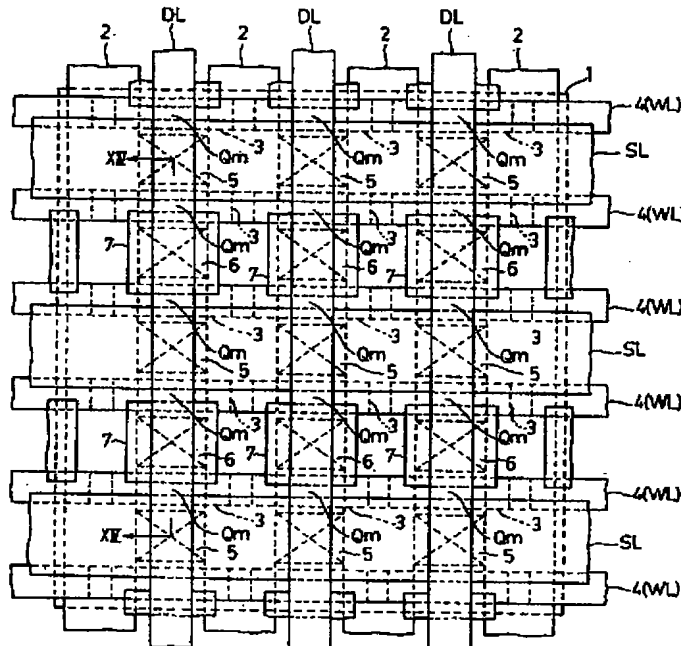
第 12 図



第 18 図

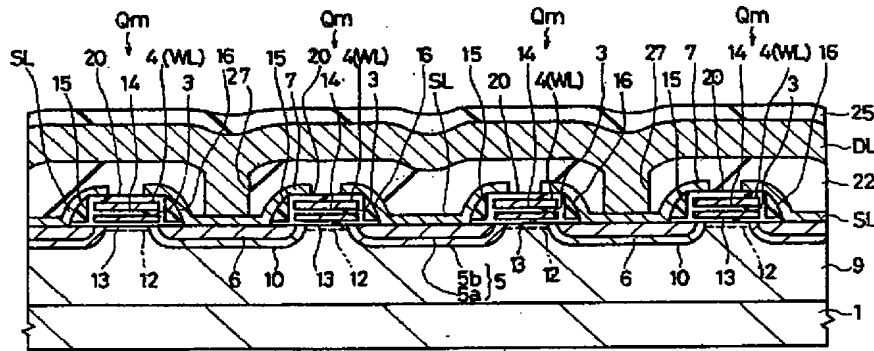


第 13 図

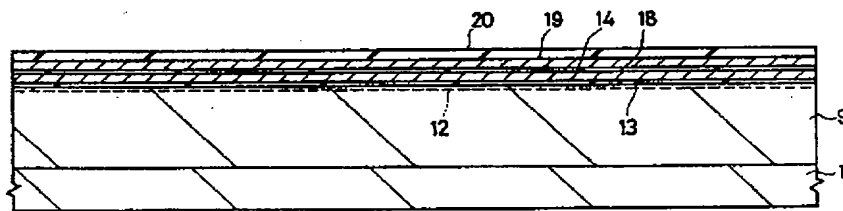


特開平 3-52267 (23)

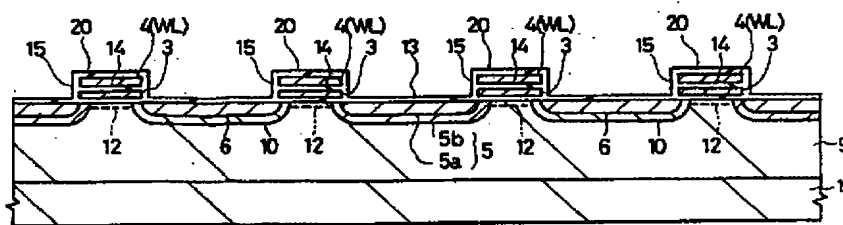
第 14 図



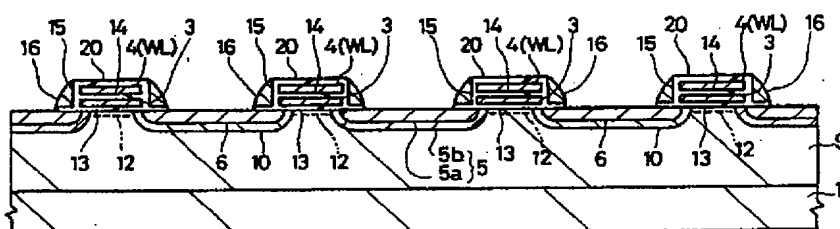
第 15 図



第 16 図

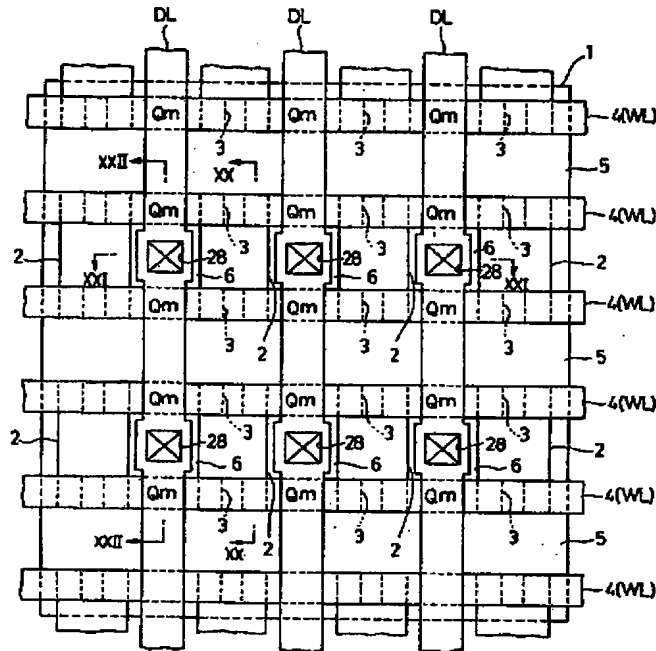


第 17 図

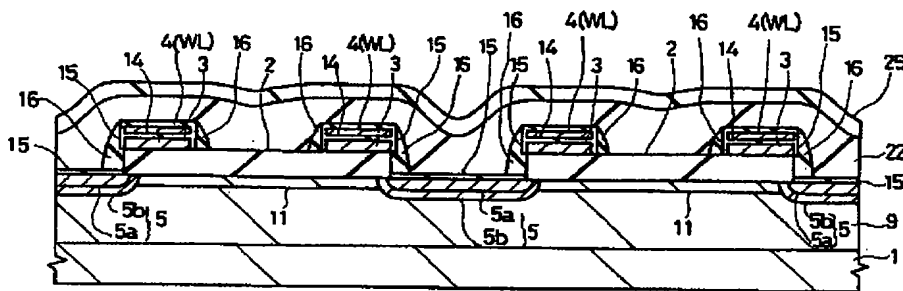


特開平3-52267 (24)

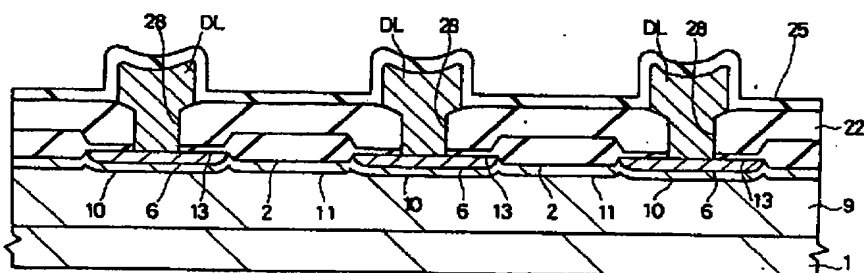
第 19 図



第 20 図

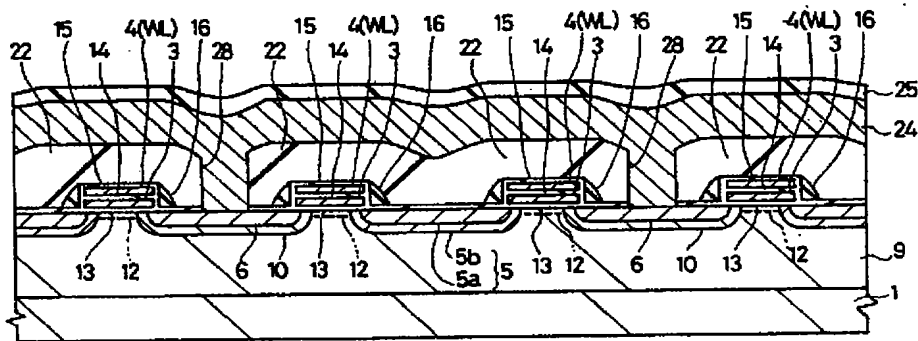


第 21 図

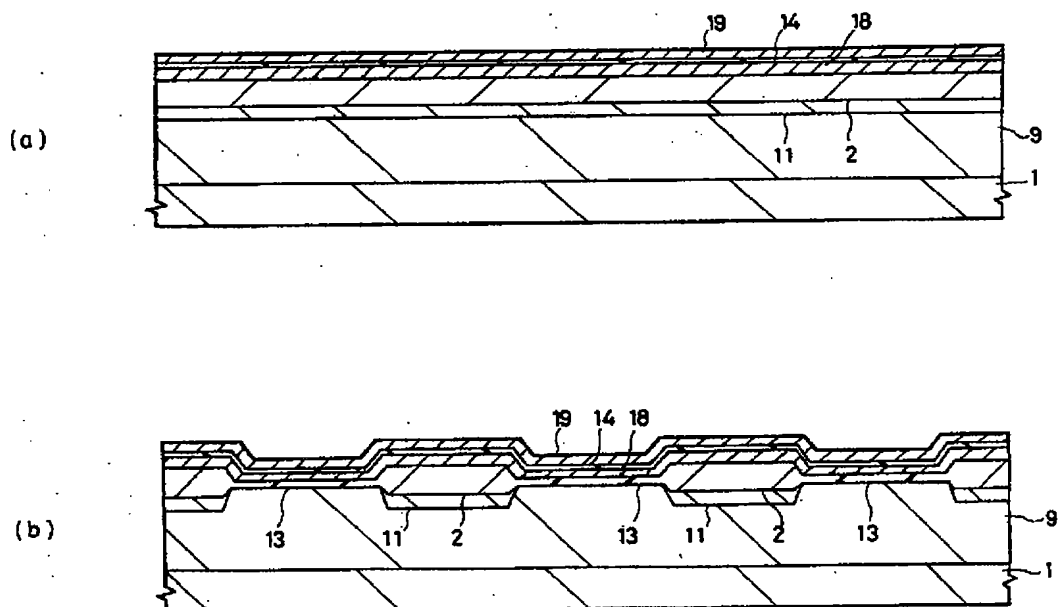


特開平3-52267 (25)

第 22 図

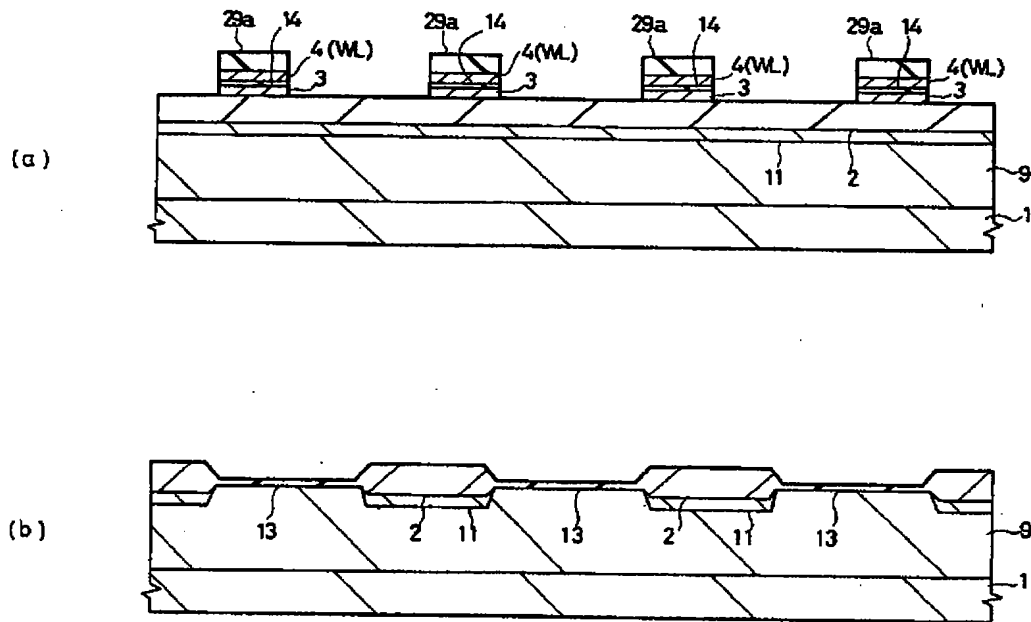


第 23 図

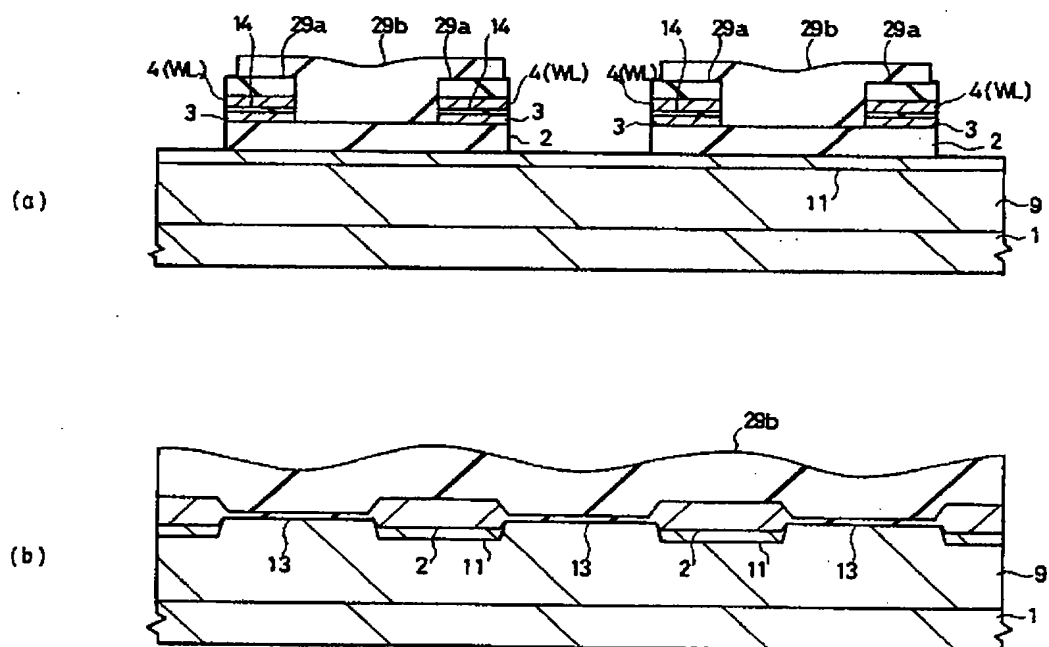


特開平 3-52267 (26)

第 24 図

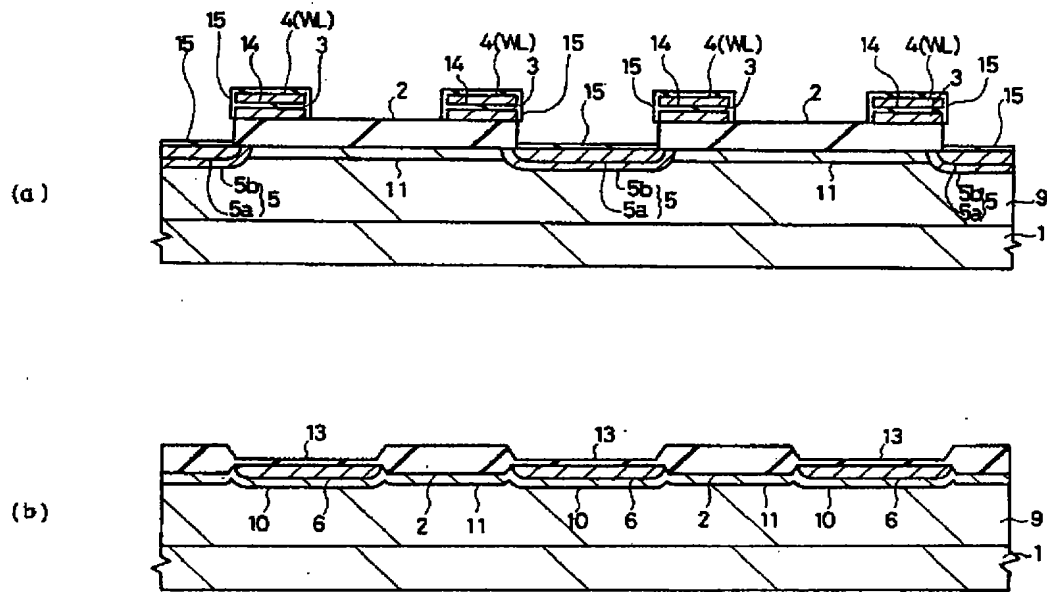


第 25 図

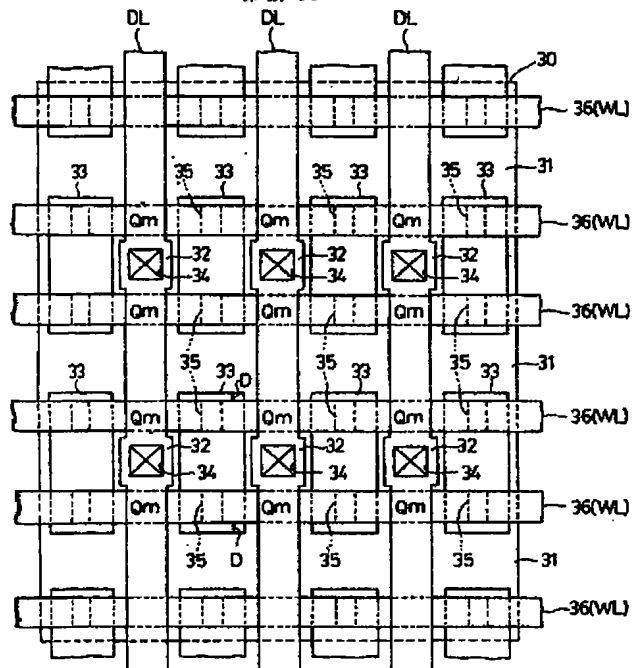


特開平 3-52267 (27)

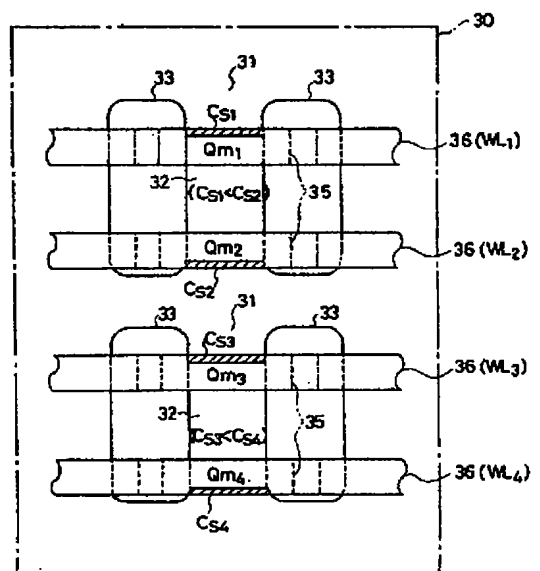
第 26 圖



第 27 圖

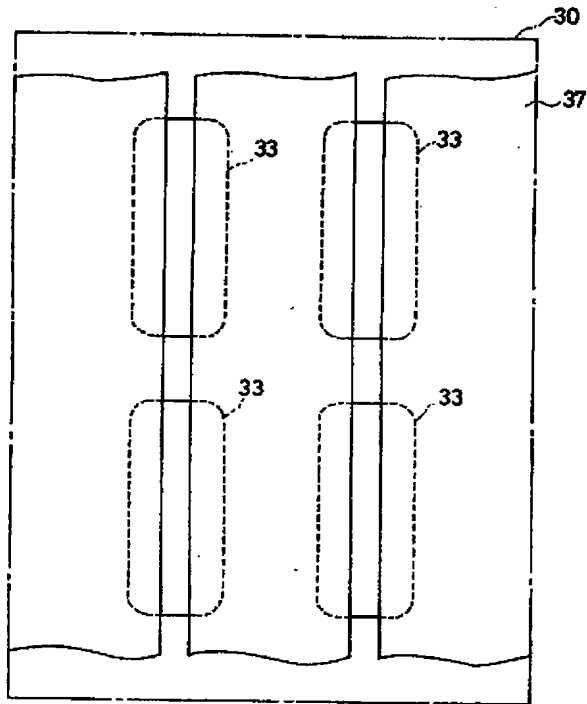


第 28 圖



特開平 3-52267 (28)

第 29 圖



第 30 圖

